

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PUB-NO: DE019830159A1

DOCUMENT-IDENTIFIER: DE 19830159 A1

TITLE: Chip-module with high density
interconnect wiring
substrate carrier

PUBN-DATE: January 20, 2000

INVENTOR-INFORMATION:

NAME

HEDLER, HARRY

FEIERTAG, GREGOR

COUNTRY

DE

DE

ASSIGNEE-INFORMATION:

NAME

SIEMENS AG

COUNTRY

DE

APPL-NO: DE19830159

APPL-DATE: July 6, 1998

PRIORITY-DATA: DE19830159A (July 6, 1998)

INT-CL (IPC): H01L023/50

EUR-CL (EPC): H01L023/31 ; H01L023/24

US-CL-CURRENT: 257/E23.125, 257/E23.14

ABSTRACT:

CHG DATE=20001128 STATUS=O>The chip module has a substrate as carrier for a single-layer or multi-layer high-density interconnected formed by a sequence of structured metal- (6) and insulation-planes (7) applied by thin-film technique. At least one chip (8) is used in the module and the electrical

connection of the chip to contacts (3), arranged on the bottom face of the chip module, to the next higher architectural plane is then taken through the substrate. The contacts (3) to the next higher plane are made on the wiring (2) surface (4) forming the bottom face of the chip-module and the substrate (1) is provided with recesses at least in places through to the wiring (2) exposed by the recesses.



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Off nl gungsschrift
⑩ DE 198 30 159 A 1

⑤1 Int. Cl.⁷:
H 01 L 23/50

②1 Aktenzeichen: 198 30 159.6
②2 Anmeldetag: 6. 7. 1998
④3 Offenlegungstag: 20. 1. 2000

DE 198 30 159 A 1

⑦1 Anmelder:
Siemens AG, 80333 München, DE

⑦2 Erfinder:
Hedler, Harry, 81377 München, DE; Feiertag,
Gregor, 80637 München, DE

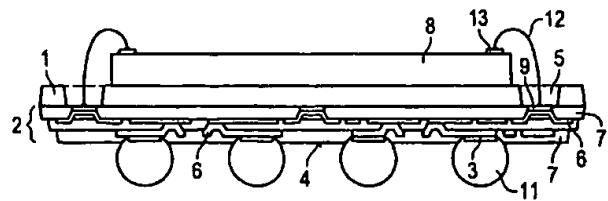
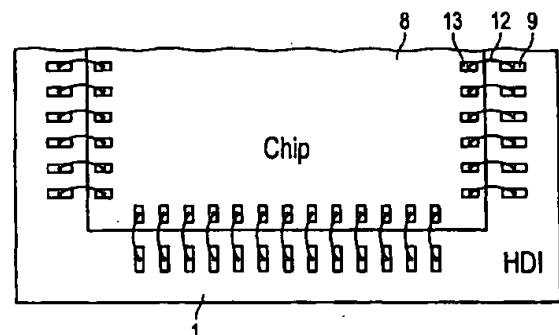
⑤6 Entgegenhaltungen:
EP 08 65 082 A1
EP 07 51 561 A1
HEITMANN, R.: Die elementaren Verbindungen. In:
productronic 7-1995, S. 26, 28, 30, 32 u. 33;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Chipmodul mit einem Substrat als Träger für eine ein- oder mehrlagige hochdichte Verdrahtung (High Density Interconnect)

⑤7 Das Substrat (1) ist mit dem Gesicht, also der Verdrahtung (2), nach unten angeordnet, so daß die Kontaktierung (3) zur nächsthöheren Architekturebene an der die Unterseite des Chipmoduls bildenden Oberfläche (4) der Verdrahtung (2) erfolgt, wobei daß Substrat (1) chipmoduloberseitig zumindest stellenweise mit Aussparungen (5) bis zur durch die Aussparungen (5) freigelegten Verdrahtung (2) hinunter versehen ist. Dadurch lassen sich extrem hohe Kontaktdichten zum Motherboard herstellen.



DE 198 30 159 A 1

Beschreibung

Die Erfindung betrifft ein Chipmodul mit einem Substrat als Träger für eine ein- oder mehrlagige hochdichte Verdrahtung (High Density Interconnect), die durch eine in Dünnschichttechnik aufgebraute Sequenz von strukturierten Metall- und Isolationschichten gebildet ist, und mit mindestens einem Chip, dessen elektrische Verbindung zu an der Unterseite des Chipmoduls angeordneten Kontaktierungen zur nächsthöheren Architekturebene durch das Substrat hindurch erfolgt.

Mit den zunehmend kleiner und schneller werdenden integrierten Schaltungen wachsen auch die Herausforderungen an ihre Aufbau-, Verbindungs- und Häusungstechnik. Eine Entwicklung in diese Richtung ist seit einiger Zeit als Multichipmodule bekannt. Durch diese Module wird ein Zwischenträgersubstrat mit hoher Verdrahtungsdichte als zusätzliche Ebene in die Hierarchie des Systemaufbaus eingeführt. Typisch dabei sind die Verwendung mehrerer ungehäuseter Chips und eine hohe Flächenbelegung des Multichip-Substrats. Eine ähnliche bekannte Neuentwicklung betrifft Single Chip Packages (SCP), bei dem ein einzelner ungehäuseter Chip auf ein Zwischenträgersubstrat aufgebracht wird, das kaum größer als die Chipfläche ist und bei dem dann die platzsparende Kontaktierung zur nächsten Architekturebene direkt unter der Chipfläche genutzt wird.

Bei den genannten Standard-Packages für Chips nehmen die Bauformen QFP und BGA einen herausragenden Platz ein. QFP-(Quad-Flat-Pack)Gehäuse sind für Pin Counts bis zu etwa 200 erfolgreich einsetzbar. Die weit verbreiteten QFP-Packages bekommen jedoch zunehmend Konkurrenz durch einen anderen Gehäusertyp, die Ball-Grid-Arrays (BGA). Dabei bilden kleine Lotkugeln, die flächig in einem relativ groben Raster (Pitch: ca. 1 bis 1,5 mm) auf der Unterseite des Moduls aufgebracht sind, die Anschlüsse. Dadurch können einerseits wegen des relativ groben Rasters die Fein-Pitch-Probleme, die beim QFP-Package (Pitch: 0,5 mm) beispielsweise beim Lötens auftreten, vermieden werden, andererseits ermöglicht die flächige Anordnung der Kontakte trotz größeren Rasters noch ein mehrfaches der Anschlußzahlen, die bei den üblichen, linear nebeneinander um den Außenrand des Moduls angeordneten Anschlüssen erreicht werden. Ein wesentlicher Vorteil der BGA ist also die flächige Herausführung der Pins auf der Unterseite des Gehäuses. Die heute erhältlichen BGA-Packages verwenden als Trägersubstrat fast ausschließlich eine konventionelle, laminierte Leiterplatte, was seinen Grund vor allem darin hat, daß die erforderlichen Durchkontaktierungen vom Leiterbahnsystem auf der Oberseite des Substrats zu den auf der Unterseite befindlichen Lötanschlüssen (Lotkugeln) bei Leiterplatten technologisch gut beherrschbar sind.

Wesentliche Leistungsmerkmale der heutigen Packages sind die laterale Abmessung, die Bauhöhe, der Pitch in der nächsten Architekturebene, die Wärmeabführung und die Strahlungseigenschaften. Für hohe Pin Counts sind die flächenmäßigen Durchkontaktierungen mittels BGA eine Notwendigkeit. Damit entstehen Anforderungen an die Erhöhung der Verdrahtungsdichte des Interconnect und an die Dichte der zur Mutterplatine führenden Kontaktierungen. Bisherige Lösungen von BGA in Laminattechnik versagen in der Dichte der Leitungen und Kontaktierung bis nahezu eine Größenordnung. Auch der Übergang von den bisher üblichen Substratmaterialien Silizium oder Keramik zu metallischen Substraten bringt in dieser Hinsicht keinen ausreichenden Fortschritt, weil Aspektverhältnisse zwischen der Dicke des Trägermaterials (Metall) und der Abstände der Pins bzw. Balls eingehalten werden müssen.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde,

ein verbessertes Chipmodul der eingangs genannten Art zu schaffen, mit dem insbesondere extrem hohe Kontaktdichten zur Mutterplatine herstellbar sind.

Diese Aufgabe wird bei einem Chipmodul der eingangs genannten Art dadurch gelöst, daß das Substrat mit dem Gesicht, also der Verdrahtung, nach unten angeordnet ist, so daß die Kontaktierung zur nächsthöheren Architekturebene an der die Unterseite des Chipmoduls bildenden Oberfläche der Verdrahtung erfolgt, und daß das Substrat chipmoduloberseitig zumindest stellenweise mit Aussparungen bis zur durch die Aussparungen freigelegten Verdrahtung hinunter versehen ist.

Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen im Zusammenhang mit den Figuren der Zeichnung näher erläutert. Es zeigen:

Fig. 1 im oberen Teil eine Draufsicht auf ein Modul, dessen erfindungsgemäße Details aus der seitlichen Schnittdarstellung im unteren Teil hervorgehen,

Fig. 2 und 3 zwei weitere Ausführungsformen des erfindungsgemäßen Moduls in der gleichen Darstellung wie der untere Teil von Fig. 1.

Im unteren Teil der Fig. 1 ist zu erkennen, daß das Substrat 1 durch bekannte Strukturtechniken der Dünnschichttechnik auf einer Seite mit einer Verdrahtung 2, also einem Leiterbahnsystem 6, 7 versehen ist und daß das Substrat 1 mit der Verdrahtung 2 mit dem Gesicht nach unten angeordnet ist, so daß sich an der nach unten gerichteten Oberfläche 4 der Verdrahtung 2 die Pads 3 und die Lotkugeln 11 der Kontaktierung zur Mutterplatine aufbringen lassen. Aufgrund der sehr geringen minimalen Strukturgrößen der Dünnschichttechnik (Leitungsbreiten, Pads, und Via beherrschbar bis zu 10 µm Größe) lassen sich somit extrem hohe Kontaktdichten herstellen. Die Kontaktierung zur Mutterplatine kann z. B. durch Löten oder Kleben erfolgen.

Die Verbindung der Verdrahtung 2 zum Chip 8 wird realisiert, indem an den Kanten des Chips 8 (vgl. Fig. 1 und 2) oder insgesamt unterhalb des Chips 8 (vgl. Fig. 3) Aussparungen 5 hergestellt werden. Besonders einfach lassen sich derartige Aussparungen bei einem metallischen Substrat 1 durch die bekannten Ätztechniken für mikrostrukturierbare Substrate herstellen.

Die elektrische Kontaktierung zwischen den Pads 13 des Chips 8 und den in der Verdrahtung 2 vorgesehenen Kontaktstellen 9 (gleiche Anzahl und Geometrie) kann beispielsweise durch die bekannten Verfahren Drahtbonden (Chip face up) oder durch Flip-Chip-Technik (Chip face down) oder auch durch Stud-Bond-Technik erfolgen. Die Abdeckung des so entstandenen Chipmoduls mit einem oder mehreren Chips 8 kann sowohl durch das in der Massenfertigung übliche Overmold-Gehäuse 10 erfolgen, vgl. Fig. 2, oder auch durch eine Häusung 10 durch Ausgießen (glop top), vgl. Fig. 3, erreicht werden.

Die erfindungsgemäßen Chipmodule haben ausgesprochen vorteilhafte Eigenschaften:

- einen sehr hohen Chipbedeckungsgrad (lateral minimale Ausdehnung);
- eine sehr geringe Bauhöhe (vertikal minimale Höhe);
- eine extrem hohe Dichte der Durchführungen des Interconnect.

Patentansprüche

1. Chipmodul mit einem Substrat als Träger für eine

ein- oder mehrlagige hochdichte Verdrahtung (High Density Interconnect), die durch eine in Dünnschichttechnik aufgetragene Sequenz von strukturierten Metall- (6) und Isolationsebenen (7) gebildet ist, und mit mindestens einem Chip (8), dessen elektrische Verbindung zu an der Unterseite des Chipmoduls angeordneten Kontaktierungen (3) zur nächsthöheren Architekturebene durch das Substrat (1) hindurch erfolgt, **dadurch gekennzeichnet**, daß das Substrat (1) mit dem Gesicht, also der Verdrahtung (2), nach unten angeordnet ist, so daß die Kontaktierung (3) zur nächsthöheren Architekturebene an der die Unterseite des Chipmoduls bildenden Oberfläche (4) der Verdrahtung (2) erfolgt, und daß das Substrat (1) chipmoduloberseitig zumindest stellenweise mit Aussparungen (5) bis zur durch die Aussparungen (5) freigelegten Verdrahtung (2) hinunter versehen ist.

2. Chipmodul nach Anspruch 1, dadurch gekennzeichnet, daß die elektrische Verbindung der Verdrahtung (2) zum Chip (8) durch die Aussparungen (5) im Substrat (1) hindurch an den freigelegten Kontaktstellen (9) der Verdrahtung (2) erfolgt.

3. Chipmodul nach Anspruch 2, dadurch gekennzeichnet, daß die Aussparungen (5) reihenförmig in der Peripherie des Chipmoduls angeordnet sind.

4. Chipmodul nach Anspruch 1, dadurch gekennzeichnet, daß das Substrat (1) unter und um den Chip (8) herum so großflächig ausgespart ist, daß der Chip (8) als Ganzes im Substrat (1) versenkt ist und unmittelbar auf einer chipmoduloberseitigen Oberfläche der Verdrahtung (2) angeordnet ist.

5. Chipmodul nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das Substrat (1) und Chip (8) einseitig overmolded (10) sind.

6. Chipmodul nach Anspruch 4, dadurch gekennzeichnet, daß die chipseitige Häusung (10) durch Ausgießen (glop top) erfolgt ist.

7. Chipmodul nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß das Substratmaterial aus Metall besteht, und daß das Material der Aussparungen (5) durch Ätztechnik entfernt ist.

8. Chipmodul nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß die Verdrahtung (2) chipmodulunterseitig außer an den Kontaktierungen (3) zur nächsthöheren Architekturebene mit einer Isolationsschicht (7) abgedeckt ist.

9. Chipmodul nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die Kontaktierungen (3) zur nächsthöheren Architekturebene jeweils eine Lotkugel (11) umfassen, die chipmodulunterseitig als Ball Grid Array, BGA, angeordnet sind.

Hierzu 2 Seite(n) Zeichnungen

55

60

65

- Leerseite -

HIS PAGE BLANK (USPTO)

FIG 1

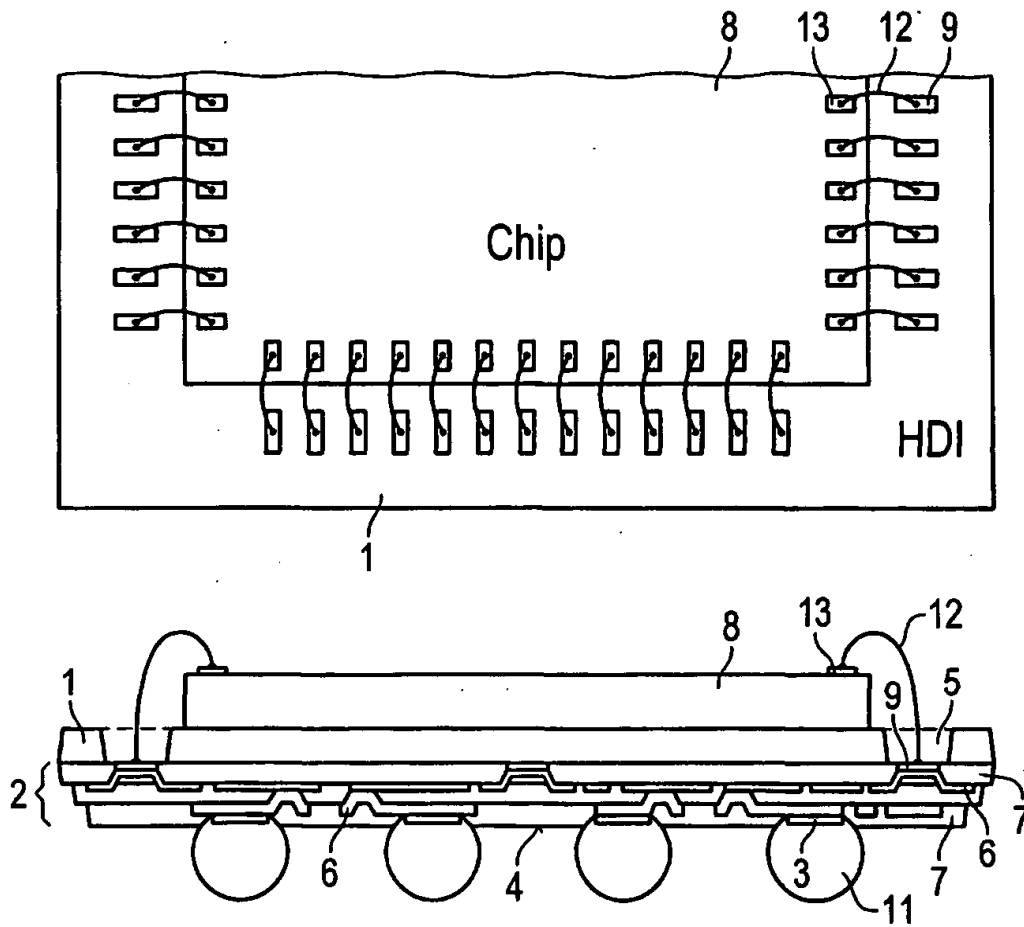


FIG 2

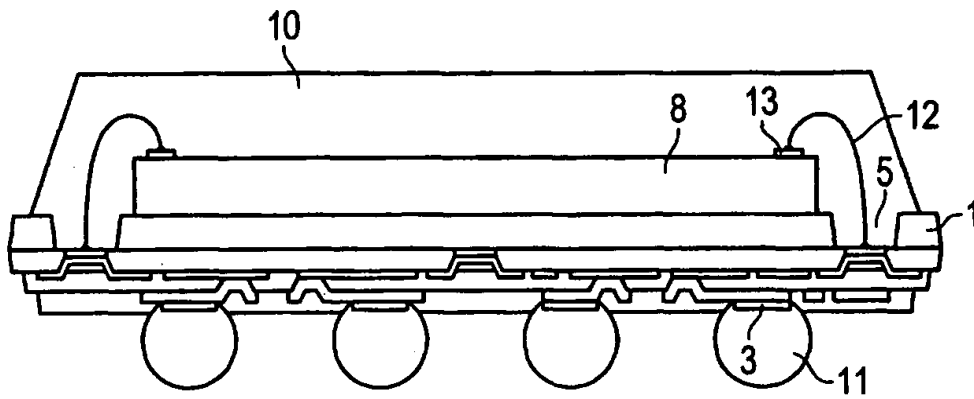


FIG 3

